



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11087349 A**(43) Date of publication of application: **30.03.99**

(51) Int. Cl.

H01L 21/3205**H01L 21/28**(21) Application number: **10043623**(22) Date of filing: **25.02.98**(30) Priority: **16.07.97 JP 09191065**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **MAEKAWA KAZUYOSHI**(54) **PRODUCTION OF SEMICONDUCTOR DEVICE
AND THE SEMICONDUCTOR DEVICE**

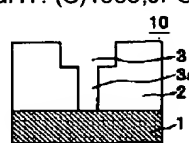
(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the oxidation of Cu in a high pressure reflow process of Cu and to prevent the deterioration of embedding characteristics due to it, in forming wiring to the contact holes or through-holes of a semiconductor device.

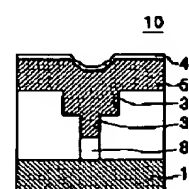
SOLUTION: In the process of forming a copper film 5 which covers wiring connecting holes 3a of the inter-layer dielectric of the semiconductor device and forming an Cu oxidation inhibiting film 4 on a Cu film, a high vacuum atmosphere of 1.33×10^{-3} Pa or high vacuum is maintained at the time of forming the Cu oxidation inhibiting film 4. Thereafter the copper of the copper film is press fit to the wiring connecting holes 3a at high temperature and high pressure of an inert gas. A metal such as titanium or a silicon nitride film is used as the oxidation inhibiting film. The Cu film is formed by a sputtering method, using the copper of the purity of 99.999 wt.% (5N) or better as a target. The quantity of impure gas in the high pressure inert gas quantity gas is kept at 50 vpm or less.

COPYRIGHT: (C)1999,JPO

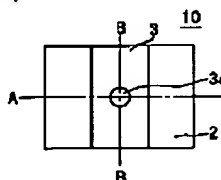
(a)



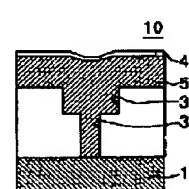
(d)



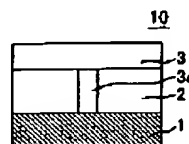
(b)



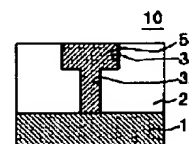
(e)



(c)



(f)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87349

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 21/3205		H 0 1 L 21/88	M
21/28	3 0 1	21/28	3 0 1 R

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平10-43623

(22) 出願日 平成10年(1998) 2月25日

(31) 優先権主張番号 特願平9-191065

(32) 優先日 平 9 (1997) 7月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 前川 和義

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

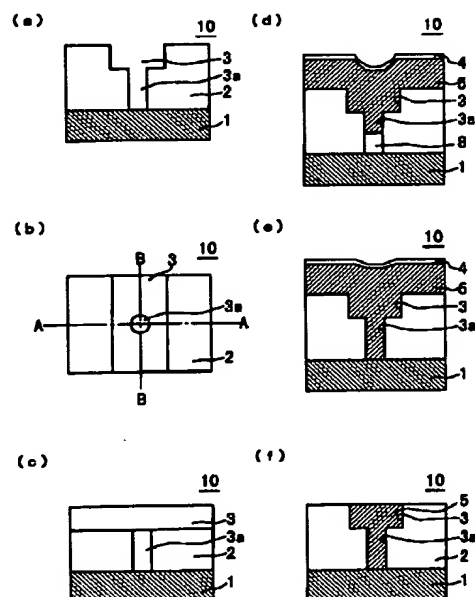
(74) 代理人 弁理士 高田 守 (外1名)

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】 (修正有)

【課題】 半導体装置のコンタクトホールあるいはスルーホール等に配線を形成する際、Cuの高圧リフロープロセスにおけるCuの酸化とそれに基づく埋め込み特性の劣化を防止する。

【解決手段】 半導体装置の層間絶縁膜2の配線用接続孔3aを覆うように銅膜5を形成し、Cu膜の上に銅の酸化防止膜4を形成するプロセスにおいて、この酸化防止膜4の形成の前後には1. 3.3×10^{-3} Pa以下の高真空雰囲気を維持し、その後に高温・高圧の不活性ガスにより配線用接続孔3aに銅膜の銅を圧入する。酸化防止膜としては、チタン等の金属あるいはシリコン窒化膜を用いる。また、純度99.999wt%(5N)以上の銅をターゲットに用いスパッタ法によりCu膜を形成する。また、高圧不活性ガス中の不純物ガス量を50vpm以下にする。



【特許請求の範囲】

【請求項1】 半導体ウェーハの層間絶縁膜に配線用溝及び／または接続孔を形成する工程と、

上記配線用溝及び／または接続孔を覆うように上記層間絶縁膜の上に銅膜を形成する銅膜形成工程と、

上記銅膜形成工程の終了時から、 $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の高真空雰囲気を維持した後、連続真空を維持しつつ上記銅膜の上に銅の酸化防止膜を形成する酸化防止膜形成工程と、

高温・高圧の不活性ガスにより上記配線用溝及び／または接続孔に上記銅膜の銅を圧入する銅圧入工程と、化学機械的研磨により上記銅膜の銅を上記配線用溝及び／または接続孔にのみ残して除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 上記酸化防止膜形成工程の後、上記銅圧入工程に至るまでの間、 $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の高真空雰囲気を維持することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 上記酸化防止膜の材料として、チタン、タンタル、タングステン、モリブデン、マンガン、またはこれらの酸化物、窒化物もしくは珪化物のいずれか、あるいはそれらの複合物を用いることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 上記酸化防止膜の材料として、シリコン窒化膜を用いることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項5】 上記銅膜の形成を、純度99.999wt%(5N)以上の銅をターゲットとして用いてスパッタ法により形成することを特徴とする請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】 上記銅圧入工程に用いる上記不活性ガス中の不純物ガス量を50vpm以下にすることを特徴とする請求項1～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 請求項1～6のいずれかに記載の製造方法により製造されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置の製造方法及び半導体装置に関するものである。さらに詳しくは、半導体装置の配線形成における高圧リフロープロセスの改良に関するものである。

【0002】

【従来の技術】 図3は、従来の半導体装置の製造方法とその構造とを示す図である。図3を参照して、従来の半導体装置の製造方法及び構造について説明する。先ず、図3(a)に示すように、半導体ウェーハ10において、半導体素子が形成された半導体基板1(シリコン基板)上に、層間絶縁膜2を形成した後、半導体基板1上に形成された半導体素子(図示せず)と層間絶縁膜2の

上に形成された上層配線(図示せず)とを電気的に接続するための配線溝3及び接続孔3aを形成する。

【0003】 次にこの製造工程中の半導体ウェーハ10を減圧雰囲気下に置き、昇温することにより表面に吸着した水分等を除去する。また、必要に応じて、この後Arの逆スパッタによるエッチングを行ってウェーハ10の表面クリーニングを行なう。次に、スパッタ法により銅膜5(Cu膜)を成膜する。この時、図3(b)に示すように、半導体ウェーハ10の配線溝3及び接続孔3aの底部にはボイド8が形成されている。続いてこの半導体ウェーハ10を400℃以上に加熱しながら、40～100MPa程度の高圧を印加し、先ほどのボイド8にCuを流動させ、配線溝3及び接続孔3aの内部をCuで充填する。

【0004】

【発明が解決しようとする課題】 しかし、この際、図3(c)に示すように、高圧を印加するArガス中の酸素あるいは水分によりCu膜5が酸化し、Cu表面にはCu酸化物7が形成される。Cuの酸化は表面だけにとどまらずCu膜5の内部にも酸素が拡散し、高圧印加時のCuの流動性を低下させるために、高圧処理後も図3(c)に示すようなボイド8が残存し、埋め込み不良が発生する。

【0005】 この発明は、上記のような問題を解決するためになされたもので、半導体装置、例えばDRAMあるいはロジックデバイスなどにおける配線やコンタクトホールあるいはスルーホールによる配線の形成において、上述したようなCuの高圧リフロープロセス時におけるCuの酸化とそれに基づく埋め込み特性の劣化を防止した半導体装置の製造方法及び半導体装置を提供しようとするものである。

【0006】

【課題を解決するための手段】 この発明の半導体装置の製造方法は、半導体ウェーハの層間絶縁膜に配線用溝及び／または接続孔を形成する工程と、上記配線用溝及び／または接続孔を覆うように上記層間絶縁膜の上に銅膜を形成する銅膜形成工程と、上記銅膜形成工程の終了時から、 $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の高真空雰囲気を維持した後、連続真空を維持しつつ上記銅膜の上に銅の酸化防止膜を形成する酸化防止膜形成工程と、高温・高圧の不活性ガスにより上記配線用溝及び／または接続孔に上記銅膜の銅を圧入する銅圧入工程と、化学機械的研磨により上記銅膜の銅を上記配線用溝及び／または接続孔にのみ残して除去する工程とを含むことを特徴とするものである。

【0007】 また、この発明の半導体装置の製造方法は、上記酸化防止膜形成工程の後、上記銅圧入工程に至るまでの間、 $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の高真空雰囲気を維持することを特徴とするものである。

【0008】 また、この発明の半導体装置の製造方法は、上記酸化防止膜の材料として、チタン、タンタル、

10

20

30

40

50

タングステン、モリブデン、マンガンのいずれか、またはこれらの酸化物、窒化物もしくは珪化物のいずれか、あるいはそれらの複合物を用いることを特徴とするものである。

【0009】また、この発明の半導体装置の製造方法は、上記酸化防止膜の材料として、シリコン窒化膜を用いることを特徴とするものである。

【0010】また、この発明の半導体装置の製造方法は、上記銅膜の形成を、純度99.99wt%(5N)以上の銅をターゲットとして用いてスパッタ法により形成するものである。

【0011】また、この発明の半導体装置の製造方法は、上記銅圧入工程に用いる上記不活性ガス中の不純物ガス量を50vpm以下にすることを特徴とするものである。

【0012】また、この発明の半導体装置は、上記のいずれかの製造方法により製造されたことを特徴とするものである。

【0013】

【発明の実施の形態】

実施の形態1. 図1は、この発明の実施の形態による半導体装置の製造方法及び構造を示す図である。以下、図面を参照して製造方法及び構造について説明する。先ず、図1(a)に示す半導体ウェーハ10の断面図において、半導体素子(図示せず)が形成された半導体基板1(Si基板)上に、層間絶縁膜2を形成した後、層間絶縁膜2に配線溝3を形成する。また、半導体基板1(Si基板)上に形成された半導体素子と配線溝3に形成される配線との間、あるいは半導体基板1(Si基板)上に形成された半導体素子と層間絶縁膜2の上に形成される上層配線(図示せず)との間を電氣的に接続する接続孔3aを形成する。

【0014】図1(b)は図1(a)の半導体ウェーハ10の平面図であり、図1(a)は図1(b)のA-A断面を示している。また、図1(c)は図1(b)のB-B断面を示す図である。

【0015】次に、この製造工程中の半導体ウェーハ10を減圧雰囲気下に置き、昇温することにより表面に吸着した水分等を除去する。昇温方法はランプ加熱あるいは、処理チャンバー内の半導体ウェーハ10を保持するプラテンの温度を上昇させ、そこに不活性ガスを10~100Pa程度導入することにより半導体ウェーハ10を加熱するガス加熱方式のいずれの手法を用いてもよい。また、必要に応じて、この後Arの逆スパッタによるエッチングを行ってウェーハ10の表面クリーニングを行なう。ここで行なう表面クリーニングは、Arの逆スパッタによるクリーニングのほか、Ar中に水素(H₂)を添加した混合ガス中での逆スパッタによるクリーニングでもよい。

【0016】続いて、図1(d)に示すように、スパッ

タ法あるいはCVD法により、配線溝3と接続孔3aを含む層間絶縁膜2の上に、銅膜5(Cu膜)を形成する。この時成膜するCu膜5は、配線溝3あるいは接続孔3aを十分に覆うだけの膜厚で形成する。

【0017】このCu膜5の形成工程以降、後に説明するCu膜5の酸化防止膜形成工程までの間、半導体ウェーハ10は、大気に曝露することなく、処理チャンバーは1.33×10⁻³Pa(1×10⁻⁵Torr)以下の高真空中で連続真空を維持する。これはCu膜5の酸化を防止するためである。望ましくは、この高真空の連続維持は、次の工程の酸化防止膜形成の直前まで継続する。

【0018】次に、Cu膜5の形成後、後に説明する工程で、高温・高圧で印加されるAr等のガス中に含まれる不純物(酸素等)によりCu膜5が酸化するのを防止するために、半導体ウェーハ10を大気に曝露することなく連続真空に維持しながら、Cu膜5の上に酸化防止膜4を形成する。この酸化防止膜形成中の連続真空は、1.33×10⁻²Pa(1×10⁻⁴Torr)程度となってもよい。

【0019】酸化防止膜4としてはチタン窒化膜(TiN膜):200nm程度を用いることが適当である。この時、図1(d)に示すように、半導体ウェーハ10の配線溝3及び接続孔3aの底部にはボイド8が形成されている。望ましくは、酸化防止膜4の形成後、次の工程の高圧印加の直前までは、再び1.33×10⁻³Pa(1×10⁻⁵Torr)以下の連続真空を維持する。

【0020】続いてこの半導体ウェーハ10を、高温・高圧処理チャンバーで400℃以上に加熱しながら、Ar等の不活性ガスを流入させ、40~100MPa程度の高圧を印加し、Cu膜5のCuをボイド8に圧入・流動させ、図1

(e)に示すように、配線溝3及び接続孔3aの内部をCuで充填する。

【0021】先にも述べたように、ここまでの一連の処理が終わるまでは、Cuの酸化を防止するために大気中に半導体ウェーハ10をさらすことなく、高真空を維持する。特に、望ましくは、銅膜形成工程の終了時から次の酸化防止膜形成工程の開始までの間は、1.33×10⁻³Pa(1×10⁻⁵Torr)以下の高真空雰囲気を維持する。さらに、酸化防止膜形成工程の後から銅圧入工程の開始に至るまでの間も、1.33×10⁻³Pa(1×10⁻⁵Torr)以下の高真空雰囲気を維持することがのぞましい。なお、酸化防止膜の形成中の連続真空は、1.33×10⁻²Pa(1×10⁻⁴Torr)程度となってもよい。本願発明者の実験によれば、Cu膜5の形成後に半導体ウェーハ10を1.33×10⁻²Pa(1×10⁻⁴Torr)の処理チャンバーに放置した場合には、Cuの酸化がひどく、高圧時でのCuの埋め込み特性が劣化した。6.65×10⁻³Pa(5×10⁻⁵Torr)でも若干のCuの酸化がみられており、1.33×10⁻³Pa(1×10⁻⁵Torr)以下にすることによりCuの酸化をなくすることができた。

【0022】酸化防止膜4としては、ここではチタン窒

化膜 (TiN膜) : 200nmとしたが、TiN膜であれば50nm以上で酸化防止の効果を有する。また、Cuの酸化防止膜4の材料としては、チタン (Ti) のほかタンタル (Ta) , タングステン (W) , モリブデン (Mo) , マンガン (Mn) 等、又はこれらの酸化物もしくは窒化物、あるいは珪化物を用いることができる。また、TiN/Tiのようにこれらの複合膜を用いてもよい。これらの酸化防止膜4の金属が酸化することにより、その下のCu膜5の酸化を防止する働きをする。なお、高温・高圧処理の結果、Cu中に0.1~10wt. %程度のAl, Ti, Si等の元素が1種類以上含まれていてもよい。

【0023】次に、図1 (f) に示すように、配線溝3及び接続孔3 aにCuが埋め込まれた半導体ウェーハ10を化学機械的研磨法 (CMP法) を用いて酸化防止膜4及び不要なCu膜5を除去して、配線溝3及び接続孔3 aにのみCu膜5を残し、配線溝3および接続孔3 aの配線を完成する。その後、一般に行なわれる半導体装置の製造工程を続けて、半導体装置の製造を完成する。

【0024】以上のように、この実施の形態1では、高真空雰囲気と連続して維持しつつ、配線用のCu膜5を形成した上に、Cu膜の酸化防止膜4としてTi等による膜を形成し、高温・高圧の不活性ガスにより配線用溝3及び/または孔3 aにCu膜5の銅を圧入するようにしたので、Cu膜5の酸化とそれに基づく埋め込み特性の劣化を防止することができる。

【0025】実施の形態2、図1及び図2を参照して、この発明の実施の形態2による半導体装置の製造方法について説明する。先ず、図1 (a) に示した半導体ウェーハ10における配線溝3及び/または接続孔3 aを形成する工程、及びその後の半導体ウェーハ10の表面洗浄について、実施の形態1で説明した工程と同様の工程を行なう。簡略のため、重複した説明を省略する。

【0026】次に、図2に示すように、配線溝3及び接続孔3 aの表面に、Cu埋め込みのための濡れ層として働くバリア層6を、TiN/Ti膜:70/30nmにより形成する。次に、バリア層6で表面が被覆された配線溝3及び接続孔3 aを含む層間絶縁膜2の上に、実施の形態1と同様にスパッタ法あるいはCVD法によりCu膜5を成膜する。この時成膜するCu膜5は、配線溝3あるいは接続孔3 aを十分に覆うだけの膜厚を成膜する。

【0027】続いてこのCu膜5の上にCuの酸化防止を目的とした酸化防止膜4を形成する。この実施の形態2では、酸化防止膜4として、シリコン窒化膜をCVD法を用いて形成する。シリコン窒化膜がCuの酸化を防止するため、高圧印加時のCuの埋め込み特性の劣化を防止する。このとき配線溝3及び接続孔3 aの底部には、図1 (d) に示すように、ボイド8が形成されている。

【0028】次に、高温・高圧の不活性ガスによるCu膜5のボイド8への圧入の工程、ならびに化学機械的研磨法 (CPM法) による配線の形成の工程を行なう。これら

は実施の形態1で説明した工程と同様であるから、重複した説明を省略する。

【0029】また、この実施の形態2においても、実施の形態1と同様に、Cu膜5の形成工程の後からCu膜5の酸化防止膜4の形成工程の直前まで、Cu膜5の酸化を防止するため、半導体ウェーハ10は、大気に曝露することなく、処理チェンバーは $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の高真空中で連続真空を維持する。また、酸化防止膜4の形成後、次の工程の高圧印加の直前までは、再び $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の連続真空を維持することが好ましい。

【0030】次に、不要なCu膜5の除去と配線の形成工程を行なう。これは実施の形態1で説明した工程と同様であるから、簡略のため重複説明は省略する。

【0031】なお、上記の配線溝3及び接続孔3 aの表面へのバリア層6の形成は、実施の形態1において適用することもできる。このバリア層6は、Cu膜5の埋め込みを容易にするために効果があるが、このバリア層6がなくても差し支えはない。

【0032】以上のように、この実施の形態2では、高真空雰囲気と連続して維持しつつ、配線用のCu膜5を形成した上に、Cu膜5の酸化防止膜4としてシリコン窒化膜を形成し、高温・高圧の不活性ガスにより配線用溝3及び/または接続孔3 aにCu膜5の銅を圧入するようにしたので、Cu膜5の酸化とそれに基づく埋め込み特性の劣化を防止することができる。

【0033】実施の形態3、図1を参照して、この発明の実施の形態3による半導体装置の製造方法について説明する。先ず、図1 (a) に示した半導体ウェーハ10における配線溝3及び/または接続孔3 aを形成する工程から、図1 (d) に示したCu膜5の形成工程及び酸化防止膜4の形成工程については、実施の形態1で説明した工程と同様の工程を行なう。簡略のため、重複した説明を省略する。

【0034】次に、この半導体ウェーハ10を400℃以上に加熱しながら40~100MPa程度の高圧をAr等の不活性ガスを用いて印加し、図1 (e) に示すように、ボイド8にCuを流動させ配線溝3及び接続孔3 aの内部をCuで充填する。

【0035】この実施の形態3においては、ここで印加する不活性ガス中の不純物ガスの量を、Cuの酸化を防止するために50vpm (Volumetric parts per million) 以下に制御する。不活性ガス中の不純物ガスとしては、酸素および水分等が含まれており、これらは高温・高圧印加中にCuを酸化させるのでその量を極力少なくする。本願発明者の実験によれば、高圧印加時の不活性ガス (Ar) 中の不純物ガスの濃度が、100vpm程度の場合には、Cuの酸化の程度がひどく、これに起因してCuの埋め込み特性が劣化した。これを50vpm以下にした場合にはCuの酸化はほとんど認められず、特に10vpm以下にした場

合には、Cuの酸化及びこれに基づくCuの埋め込み特性の劣化はみられなかった。

【0036】また、この実施の形態3においても、実施の形態1と同様に、Cu膜5の形成工程の後からCu膜5の酸化防止膜4の形成工程の直前まで、Cu膜5の酸化を防止するため、半導体ウェーハ10は、大気に曝露することなく、処理チェンバーは $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の高真空中で連続真空を維持する。また、酸化防止膜4の形成後、次の工程の高圧印加の直前までは、再び $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の連続真空を維持することがのぞましい。

【0037】次に、不要なCu膜5の除去と配線の形成工程を行なう。これは実施の形態1で説明した工程と同様であるから、簡略のため重複説明は省略する。

【0038】以上のように、この実施の形態3では、高真空雰囲気と連続して維持しつつ、配線用のCu膜5を形成した上に、酸化防止膜4を形成し、不純物量を制御した高温・高圧の不活性ガスにより配線溝3及び／または接続孔3aにCu膜5の銅を圧入するようにしたので、Cu膜5の酸化とそれに基づく埋め込み特性の劣化を防止することができる。

【0039】実施の形態4。図1を参照して、この発明の実施の形態4による半導体装置の製造方法について説明する。まず、図1(a)に示した半導体ウェーハ10における配線溝3及び／または接続孔3aを形成する工程、及びその後の半導体ウェーハ10の表面洗浄について、実施の形態1で説明した工程と同様の工程を行なう。簡略のため、重複した説明を省略する。

【0040】次に、図1(d)に示すように、スパッタ法あるいはCVD法により、層間絶縁膜2の上に、Cu膜5を成膜する。この時成膜するCu膜5は、配線溝3あるいは接続孔3aを十分に覆うだけの膜厚を成膜する。

【0041】この実施の形態4において、スパッタ法を用いてCu膜5を形成する場合、Cuターゲットは99.999wt.%(5N)以上の純度のものを用いる。高純度Cuターゲットを用いることにより、スパッタ法で形成されるCu膜5中の不純物が減少し、高圧印加時にCuの酸化等による埋め込み特性の劣化が防止される。本願発明者の実験によれば、Cuの純度が99.995wt.%(4N5)ではCu膜形成後の埋め込み特性が劣化した、99.999wt.%(5N)にすればCu膜の埋め込み特性の劣化がみられなかった。

【0042】次に、酸化防止膜4の形成工程を行なうが、これは実施の形態1又は2で説明した工程と同様であるから、簡略のため説明を省略する。次に、不活性ガスの高温・高圧下で配線溝3及び接続孔3aへのCuの圧入の工程を行なう。これは実施の形態1又は3と同様であるから、簡略のため説明を省略する。

【0043】また、この実施の形態4においても、実施の形態1と同様に、Cu膜5の形成工程の後からCu膜5の酸化防止膜4の形成工程の直前まで、Cu膜5の酸化を防

止するため、半導体ウェーハ10は、大気に曝露することなく、処理チェンバーは $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の高真空中で連続真空を維持する。また、酸化防止膜4の形成後、次の工程の高圧印加の直前までは、再び $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の連続真空を維持することがのぞましい。

【0044】次に、不要なCu膜5の除去と配線の形成工程は、実施の形態1で説明した工程と同様であるから、簡略のため重複説明は省略する。

【0045】以上のように、この実施の形態4では、高真空雰囲気を連続して維持しつつ、高純度のCuを用いて配線用のCu膜5を形成した上に、Cu膜5の酸化防止膜4を形成し、高温・高圧の不活性ガスにより配線溝3及び／または接続孔3aにCu膜5のCuを圧入するようにしたので、Cu膜5の酸化とそれに基づく埋め込み特性の劣化を防止することができる。

【0046】以上、本発明の実施の形態1～4では、図1(a)に示す断面図において、配線溝3の底から接続孔3aが半導体基板1に通じている配線構造を例にとって説明した。しかし、この発明の実施の形態において、配線構造はこのようなものに限定されるものではない。例えば、層間絶縁膜2に配線溝3のみが形成されている場合がありうる。また、層間絶縁膜2の上層の配線または導電部分と半導体基板とを接続する接続孔3aのみが形成されている場合もありうる。この発明の実施の形態は、このような場合、配線溝3及び接続孔3aの両方ではなく、配線溝3のみ、あるいは接続孔3aのみをCuで埋め込んで配線を形成する場合も含むものである。

【0047】

【発明の効果】以上説明したように、この発明によれば、半導体ウェーハの層間絶縁膜に配線用溝または接続孔を形成し、配線用溝または接続孔の上に銅膜を形成した後、次の酸化防止膜の形成工程に至るまでの間、 $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の高真空雰囲気を維持し、この銅膜を高温・高圧の不活性ガスにより配線用溝または接続孔に圧入して配線を形成するので、Cu膜の酸化とそれに基づく埋め込み特性の劣化を防止し、特性の良好な配線を形成することができる。

【0048】また、この発明によれば、上記酸化防止膜形成工程の後、上記銅圧入工程に至るまでの間、 $1.33 \times 10^{-3} \text{ Pa}$ ($1 \times 10^{-5} \text{ Torr}$) 以下の高真空雰囲気を維持するので、さらにCu膜の酸化とそれに基づく埋め込み特性の劣化を防止し、特性の良好な配線を形成することができる。

【0049】また、この発明によれば、銅膜の酸化防止膜の材料として、チタン、タンタル、タングステン、モリブデン、マンガンのいずれか、またはこれらの酸化物、窒化物もしくは珪化物のいずれか、あるいはそれらの複合物を用いて、Cu膜の酸化とそれに基づく埋め込み特性の劣化を防止し、特性の良好な配線を形成すること

10

20

30

40

50

ができる。

【0050】また、この発明によれば、銅膜の酸化防止膜の材料として、シリコン窒化膜を用いて、Cu膜の酸化とそれに基づく埋め込み特性の劣化を防止し、特性の良好な配線を形成することができる。

【0051】また、この発明によれば、銅膜の形成を、純度99.999wt%(5N)以上の銅をターゲットとして用いて形成するので、純度の高い銅膜を形成することができ、Cu膜の酸化とそれに基づく埋め込み特性の劣化を防止し、特性の良好な配線を形成することができる。

【0052】また、この発明によれば、配線用溝または接続孔に銅を圧入する工程に用いる不活性ガスとして、不純物ガス量を50ppm以下にするので、Cu膜の酸化とそれに基づく埋め込み特性の劣化を防止し、特性の良好な

配線を形成することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1～4による半導体装置の製造方法及び構造を示す工程図である。

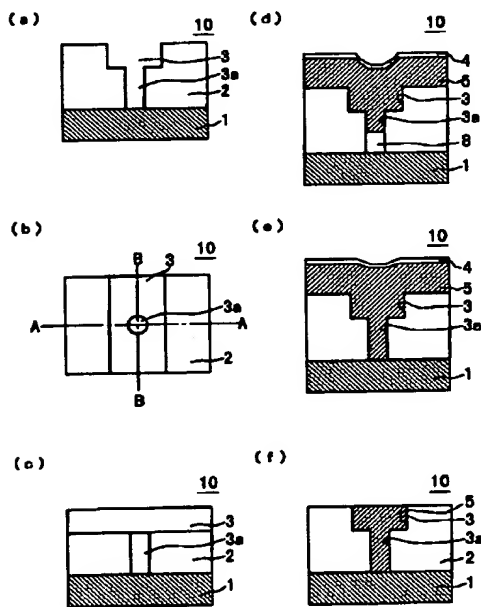
【図2】 この発明の実施の形態2による半導体装置の製造方法を示す工程図である。

【図3】 従来の半導体装置の製造方法及び構造を示す工程図である。

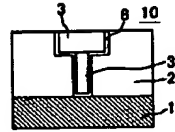
【符号の説明】

- 10 1 半導体基板 (Si基板)、 2 層間絶縁膜、 3 配線溝、 3a 接続孔、 4 酸化防止膜、 5 銅膜 (Cu膜)、 6 バリア層、 8 ボイド、 10 半導体ウェーハ。

【図1】



【図2】



【図3】

